

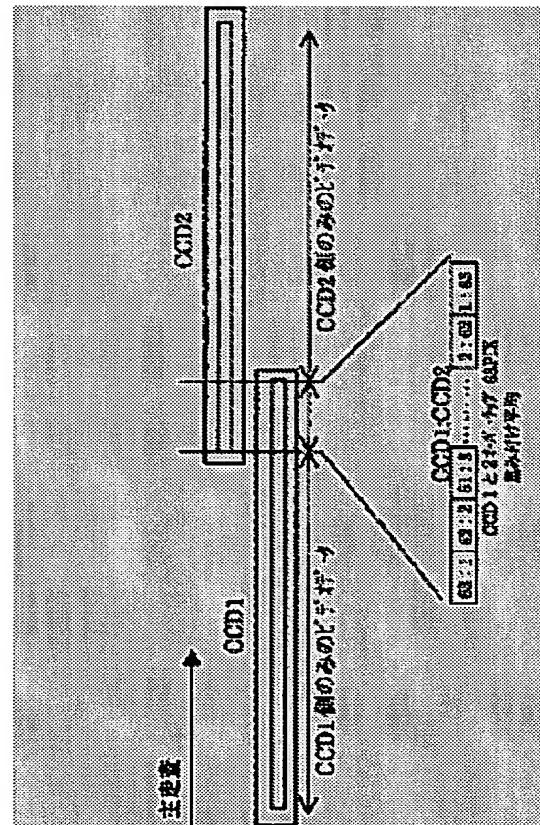
IMAGE READER

Patent number: JP2002057860
Publication date: 2002-02-22
Inventor: MAKI MASATAKE
Applicant: PFU LTD.; KATSURAGAWA ELECTRIC CO LTD
Classification:
- international: H04N1/19; H04N1/028
- european:
Application number: JP20000242627 20000810
Priority number(s):

Abstract of JP2002057860

PROBLEM TO BE SOLVED: To easily perform the correction processing in the direction of main scanning line about the image information read with a plurality of line sensors, concerning an image reader.

SOLUTION: An image reader is equipped with a plurality of line sensors 2 which are arranged so that the mutual main scanning lines may be parallel with each other, and that the main scanning lines may overlap each other. A weighting and averaging processor which weights and averages the outputs of the adjacent line sensors 2 about the section where the main scanning lines overlap each other, based on the distance of the overlap of the main scanning lines, between the adjacent line sensors 2 among the plural line sensors 2.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-57860

(P2002-57860A)

(43) 公開日 平成14年2月22日 (2002.2.22)

(51) Int.Cl.⁷

H 04 N 1/19
1/028

識別記号

F I

H 04 N 1/028
1/04

テマコード (参考)

Z 5 C 0 5 1
1 0 3 A 5 C 0 7 2

審査請求 未請求 請求項の数 8 OL (全 23 頁)

(21) 出願番号

特願2000-242627(P2000-242627)

(22) 出願日

平成12年8月10日 (2000.8.10)

(71) 出願人 000136136

株式会社ピーエフユー
石川県河北郡宇ノ気町字宇野氣又98番地の
2

(71) 出願人 000165136

桂川電機株式会社
東京都大田区矢口1丁目5番1号

(72) 発明者 牧 正剛

石川県河北郡宇ノ気町字宇野氣又98番地の
2 株式会社ピーエフユー内

(74) 代理人 100111822

弁理士 渡部 章彦 (外1名)

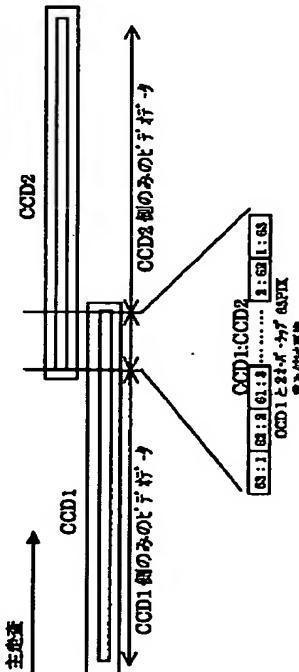
最終頁に続く

(54) 【発明の名称】 画像読み取り装置

(57) 【要約】

【課題】 本発明は、画像読み取り装置に関し、複数のラインセンサで読み取った画像情報についての主走査線方向の補正処理を容易に行うこととする。

【解決手段】 画像読み取り装置は、相互の主走査線が平行となるように、かつ、主走査線において相互に一部が重なるように配置された複数のラインセンサ2と、複数のラインセンサ2の内の相互に隣接するラインセンサ2間において、主走査線において相互に一部が重なる部分についての当該隣接するラインセンサ2の出力を、相互の主走査線の重なる距離に基づいて加重平均する加重平均処理部とを備える。



【特許請求の範囲】

【請求項1】 相互の主走査線が平行となるように、かつ、主走査線において相互に一部が重なるように配置された複数のラインセンサと、前記複数のラインセンサの内の相互に隣接するラインセンサ間において、前記主走査線において相互に一部が重なる部分についての当該隣接するラインセンサの出力を、相互の主走査線の重なる距離に基づいて加重平均する加重平均処理部とを備えることを特徴とする画像読取装置。

【請求項2】 前記加重平均処理部が、前記加重平均における係数を、当該隣接するラインセンサの前記主走査線において相互に一部が重なる部分の画素の数及び位置により変化させることを特徴とする請求項1に記載の画像読取装置。

【請求項3】 相互の主走査線が平行となるように、かつ、主走査線において相互に一部が重なるように配置された複数のラインセンサと、前記複数のラインセンサの内の相互に隣接するラインセンサ間において、前記平行である相互の主走査線の間の距離を読み取りラインの間隔のN倍に相当する第1部分と残余の第2部分とに分けて、先に読み取りを開始するラインセンサに供給する第1読取タイミング信号を基準として、前記後に読み取りを開始するラインセンサに、前記第1読取タイミング信号から前記第2部分に相当する時間だけ遅れた第2読取タイミング信号を供給し、かつ、前記第1読取タイミング信号からn個だけ遅らせて読み取りを開始させるタイミング生成回路とを備えることを特徴とする画像読取装置。

【請求項4】 前記タイミング生成回路が、前記第1読取タイミング信号の周期をカウントする第1カウンタと、

前記第1カウンタのカウント値と所定の第1の値とを比較して、前記先に読み取りを開始するラインセンサの出力の主走査方向有効期間を制御する第1主走査方向有効画素信号を生成する回路と、

前記第2読取タイミング信号の周期をカウントする第2カウンタと、

前記第2カウンタのカウント値と所定の第2の値とを比較して、後に読み取りを開始するラインセンサの出力の主走査方向有効期間を制御する第2主走査方向有効画素信号を生成する回路と、

前記第1カウンタのカウント値と所定の第3の値とを比較して、前記第2カウンタのカウント値をクリアするリセット回路と、

前記先に読み取りを開始するラインセンサの出力の副走査方向有効期間を制御する第1副走査方向有効画素信号を、その直後の前記第1読取タイミング信号に同期して生成する回路と、

前記後に読み取りを開始するラインセンサの出力の副走

査方向有効期間を制御する第2副走査方向有効画素信号を、その直後の前記第1読取タイミング信号に同期してラッチし、その直後の前記第2読取タイミング信号に同期して生成する回路とを備えることを特徴とする請求項3に記載の画像読取装置。

【請求項5】 当該画像読取装置が、更に、前記先に読み取りを開始するラインセンサの出力する画像情報を格納するメモリと、

前記メモリに格納された前記先に読み取りを開始するラインセンサの画像情報を、前記後に読み取りを開始するラインセンサが読み取るより1個だけ早い前記第2読取タイミング信号に同期して前記メモリから読み出して、所定の処理により連続した1個の読み取りラインに相当する画像情報を得るデータ切り替え回路とを備えることを特徴とする請求項3又は請求項4に記載の画像読取装置。

【請求項6】 ラインセンサと、前記ラインセンサの出力を所定の利得で増幅してA/D変換器に入力する増幅器と、

前記ラインセンサの出力の内で、前記増幅器の利得を低い方から順に変化させながら、予め定められた領域における画素データを加算した加算値と所定のスライス値とを比較し、前記加算値が前記スライス値を超えている場合に、当該利得を前記増幅器の利得として定める利得調整手段とを備えることを特徴とする画像読取装置。

【請求項7】 前記ラインセンサが、相互の主走査線が平行となるように、かつ、主走査線において相互に一部が重なるように配置された複数のラインセンサからなり、

前記予め定められた領域が、前記複数のラインセンサの主走査線において相互に一部が重なる部分であることを特徴とする請求項6に記載の画像読取装置。

【請求項8】 当該画像読取装置が、更に、所定のタイミング信号に応じて前記ラインセンサの出力を加算し、前記ラインセンサの水平同期信号毎にクリアされる加算回路と、

前記加算回路の加算値をラッチする保持回路と、前記水平同期信号の周期をカウントするカウンタと、前記カウンタのカウント値に基づいて、前記加算回路を制御する制御回路とを備えることを特徴とする請求項7に記載の画像読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像読取装置に関し、特に、複数のラインセンサを備え、これらにより読み取った画像情報を両者のつなぎ目の部分が滑らかな画像を得ることができる画像読取装置に関する。

【0002】

【従来の技術】 スキャナ等の画像読取装置は、CCD(電荷結合素子)からなるラインセンサを用いて画像情

報を読み取る。スキヤナ等に対しては読み取る解像度の向上の要求が強いが、このためには、ラインセンサの画素数を増やす必要がある。この画素数を増やす方法として、1個のラインセンサの画素数を増やすのではなく、複数のラインセンサを並べて全体として画素数を増やす方法がある。

【0003】複数のラインセンサは、例えば、図15(A)に示すように配置される。即ち、図15(A)は、パッケージされた半導体装置(CCD装置)を複数並べたいわゆる縮小型センサの場合を示す。この場合、複数のラインセンサが、相互の主走査線が平行となるように、かつ、主走査線において相互の一部が重なるように配置され、見かけ上の1ラインを形成する。

【0004】

【発明が解決しようとする課題】図15(A)に示す縮小型センサの場合、独立したCCD装置としての使用を予定しているため、CCDチップの長手方向の両端に種々の回路が形成されている。従って、図15(A)に示すように、主走査線方向にギャップが生じるのは、避けられない。そこで、画素の欠落が生じないように、及び製造時のCCDチップのマウントの誤差も考慮して、図15(B)に示すように、主走査線方向にもオーバーラップ域を設ける必要がある。この場合、本発明者の検討によれば、複数のラインセンサから読み取った画像情報に基づいて、主走査線方向のオーバーラップ域について、その距離の値に基づいて、画像情報の補正処理を行う必要がある。

【0005】また、図15(A)に示す縮小型センサの場合、本来、パッケージに実装されているので、副走査線方向のギャップが生じるのは避けられない。このギャップの値を、正確に読み取りラインの整数倍の値とすることは、取り付けの精度等から考えて、事実上不可能である。そこで、画素の欠落が生じないように、及び製造時のラインセンサのマウントの誤差も考慮して、図15(B)に示すように実装した場合、本発明者の検討によれば、複数のラインセンサから読み取った画像情報に基づいて、副走査線方向のギャップについて、その距離の値に基づいて、画像情報の補正処理を行う必要がある。

【0006】以上とは別に、図17に示すように、シェーディング波形が山型になり(左の波形図)、平坦な特性(右の波形図)が得られない場合、適正な画像情報が得られない。即ち、ラインセンサの出力をAD変換する前に増幅器により増幅するが、増幅器の利得の値は、その値を低い方から順に変化させると共に、その都度、AD変換後の全画素データについてあるスライスレベルを超えるものがあるか否かを検出し、超えるデータがある場合に利得の値が適正な値となつたと判断して、当該値を利得の値としている。しかし、このような方法では、ノイズにより1画素でもスライスレベルを超えると、適正な値と判断されてしまう。そこで、図17に示すよう

に、全画素データの平均値とスライスレベルとを比較する方法が採られる。しかし、シェーディング波形が山型だと、平均値とピーク値との間に大きな差があり、実際には、適正な利得の値を定めることができない。また、この方法では、全画素データを一旦メモリに格納する必要が生じてしまう。

【0007】特に、この問題は、本発明者の検討によれば、複数のラインセンサを図15(B)に示すように実装した場合に大きく影響する。即ち、周知のシェーディング補正を行った場合、いかに前記利得調整を適正に行つたとしても、図16に示すように、複数(この場合、2個)のラインセンサが白基準シートを読み取った時の波形の間で、つなぎ目部分で濃度差が生じてしまう可能性がある。この場合、2個のシェーディング波形を重ねると、信号に段差が生じて、画像の連続性が保てなくなる(境界に線が出る)。従って、シェーディング波形が滑らかなものとなるように、これを補正する必要がある。

【0008】本発明は、複数のラインセンサで読み取った画像情報についての主走査線方向の補正処理を容易に行うことが可能な画像読み取り装置を提供することを目的とする。

【0009】また、本発明は、複数のラインセンサで読み取った画像情報についての副走査線方向の補正処理を容易に行うことが可能な画像読み取り装置を提供することを目的とする。

【0010】また、本発明は、複数のラインセンサで読み取った画像情報についての両者のつなぎ目の部分でのシェーディング補正処理を容易に行うことが可能な画像読み取り装置を提供することを目的とする。

【0011】また、本発明は、複数のラインセンサで読み取った画像情報についての平坦な特性のシェーディング波形を得ることが可能な画像読み取り装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の画像読み取り装置は、相互の主走査線が平行となるように、かつ、主走査線において相互に一部が重なるように配置された複数のラインセンサと、複数のラインセンサの内の相互に隣接するラインセンサ間において、主走査線において相互に一部が重なる部分についての当該隣接するラインセンサの出力を、相互の主走査線の重なる距離に基づいて加重平均する加重平均処理部とを備える。

【0013】本発明の画像読み取り装置によれば、複数のラインセンサを主走査線において相互に一部が重なるように配置した場合、複数のラインセンサから読み取った画像情報に基づいて、主走査線方向のオーバーラップ域について、その距離の値に基づいて、画像情報の補正処理を行うことができる。従って、複数のラインセンサで読み取った画像情報から、両者のつなぎ目の部分が滑らか

な画像を得ることができる。

【0014】また、本発明の画像読取装置は、相互の主走査線が平行となるように、かつ、主走査線において相互に一部が重なるように配置された複数のラインセンサと、タイミング生成回路とを備える。タイミング生成回路は、複数のラインセンサの内の相互に隣接するラインセンサ間において、平行である相互の主走査線の間の距離を読み取りラインの間隔のN倍に相当する第1部分と残余の第2部分とに分けて、先に読み取りを開始するラインセンサに供給する第1読取タイミング信号を基準として、後に読み取りを開始するラインセンサに、第1読取タイミング信号から第2部分に相当する時間だけ遅れた第2読取タイミング信号を供給し、かつ、第1読取タイミング信号からn個だけ遅らせて読み取りを開始させる。

【0015】本発明の画像読取装置によれば、タイミング生成回路によりタイミングを調整することができるで、複数のラインセンサから読み取った画像情報に基づいて、副走査線方向のギャップについて、その距離の値に基づいて、画像情報の補正処理を行うことができる。従って、複数のラインセンサで読み取った画像情報から、両者のつなぎ目の部分が滑らかな画像を得ることができる。

【0016】また、本発明の画像読取装置は、ラインセンサと、ラインセンサの出力を所定の利得で増幅してA/D変換器に入力する増幅器と、利得調整手段とを備える。利得調整手段は、ラインセンサの出力の内で、増幅器の利得を低い方から順に変化させながら、予め定められた領域における画素データを加算した加算値と所定のスライス値とを比較し、加算値がスライス値を超えている場合に、当該利得を増幅器の利得として定める。

【0017】本発明の画像読取装置によれば、利得の決定に、所定の領域、例えばラインセンサの出力の内でシェーディング波形の値が他よりも高くなる領域における画素データを加算した加算値を用いる。これにより、ノイズの影響をなくすことができ、平均値との乖離の影響もなくすことができる。従って、シェーディング波形が山型であっても、適正な利得の値を定めることができる。

【0018】また、本発明の画像読取装置の一実施態様においては、ラインセンサが、相互の主走査線が平行となるようにかつ、主走査線において相互に一部が重なるように配置された複数のラインセンサからなり、予め定められた領域が複数のラインセンサの主走査線において相互に一部が重なる部分からなる。

【0019】本発明の画像読取装置の一実施態様によれば、上述の利得調整を行う際に、複数のラインセンサのつなぎ目部分について、当該領域における画素データを加算した加算値を用いる。これにより、つなぎ目部分で濃度差が生じることを防止し、2個のシェーディング波

形を滑らかなものとすることができます、画像の連続性を保つことができる。

【0020】

【発明の実施の形態】図1及び図2は、画像読取装置構成図であり、複数のラインセンサを備える画像読取装置の構成を示す。特に、図1(A)は画像読取装置の構成の概略を示し、図1(B)は画像読取装置の平面構成の概略を示し、図1(C)は画像読取装置の断面構成の概略を示す。また、図2は、キャリアユニット1の断面図であり、その概略の構成を示す。

【0021】画像読取装置は、例えばスキャナ等であり、図1(A)に示すように、画像情報の読み取りの光源であるランプ11、画像情報をラインセンサ2に入射させるレンズ13(等の光学系)、画像情報を読み取るラインセンサ2、読み取った画像情報をデジタル信号に変換するビデオプロセッサ3、当該画像読取装置を制御する画像制御部4、画像情報(デジタル信号)を処理する画像処理部5を備える。

【0022】画像制御部4は、画像処理部5を制御する各種の制御情報を画像処理部5に送出する。画像制御部4は、実際は、当該画像読取装置の主メモリ(図示せず)上に存在する当該画像制御プログラムを、当該画像読取装置のCPU(中央演算処理装置、図示せず)上で実行することにより実現される。画像処理部5は、ラインセンサ2により読み取った画像情報を処理する。画像処理部5は、例えば専用の画像処理回路(LSI)からなる。

【0023】キャリアユニット1は、図1(B)及び図1(C)に示すように、矢印で示す副走査方向に移動して、用紙(紙、透明なシート、その他の媒体)100に描かれた画像情報を読み取る。キャリアユニット1は、図2に示すように、その筐体の内部に、光源であるランプ11、複数のミラー12、レンズ13、複数のラインセンサ2を備える。ラインセンサ2は周知のガラス窓付きのセラミックパッケージに実装され、その実装用のプリント基板(センサユニット)上の正面(キャリアユニット1の筐体の内側の面)に実装される。なお、キャリアユニット1は、ランプ11の他にも、電源回路のインバータ等を備える。キャリアユニット1は、その一方の側面Bに、複数のラインセンサ2を実装したプリント基板を備える。なお、当該画像読取装置のCPU、主メモリ、画像処理回路(LSI)等は、他のプリント基板(図示せず)に実装される。

【0024】図3は、画像読取装置構成図であり、複数のラインセンサ2の構成を示す。ラインセンサ2は、複数設けられる。この例では、説明の簡単のために、例えばCCD1及びCCD2の2個が設けられる。各々のラインセンサ2はCCDセンサやCMOSセンサからなる。複数のラインセンサ2は、相互の主走査線が平行となるように、かつ、主走査線において相互の一部が重な

るよう、キャリアユニット1に取り付けられたプリント基板上に配置され、見かけ上、1個の読み取りラインを形成する。

【0025】主走査線が重なる領域では、後述するように、加重平均処理部により、隣接するラインセンサCCD1及びCCD2の出力が、相互の主走査線の重なる距離に基づいて加重平均（重み付け平均）される。例えば、この例では、主走査線が重なる領域の長さが63画素分に相当するようにされる。これにより、図3に示すように、ラインセンサCCD1及びCCD2の出力は、これに重みを加えた上で平均される。

【0026】図4は、画像読取装置構成図であり、主として、画像処理部5（画像処理回路）の構成を示す。なお、説明のために、ラインセンサ2は縮小型センサからなり、その個数は2個であり、各々、CCD1、CCD2とする。これらは、例えば図9に示すように配置される。従って、CCD1がCCD2よりも、常に所定のタイミングだけ、先に読み取りを行う。

【0027】2個のラインセンサCCD1、CCD2は、各々、水平同期信号TG1及びTG2に同期して用紙100から画像情報を読み取り、1番目の画素から順にCCDデータとして対応するOPアンプ（演算増幅器）及びA/D変換器に入力する。OPアンプ及びA/D変換器により、ビデオプロセッサ3が構成される。ビデオプロセッサ3は、入力されたCCDデータ（アナログデータ）を順次A/D変換して得たビデオデータ（デジタルデータ）C1VDT1、C2VDT1を画像処理部5に入力する。なお、水平同期信号TG及びその他の各種タイミング信号は、CCDタイミング生成回路が生成する。

【0028】画像処理部5において、ビデオデータは、ビデオデータラッチ回路にラッチされる。即ち、対応する信号HGA T及び信号VGA Tが共に有効である場合に、クロックVCLKに同期してラッチされ、次段に送出される。また、ビデオデータラッチ回路は、信号ENB01又はENB20を出力する。信号ENBは、ラッチ（即ち、送出）した信号が有効であることを示す信号である。

【0029】CCD1に対応するビデオデータC1VDT1は、信号HGA T1及び信号VGA T1に同期してビデオデータラッチ回路から出力され、メモリ書き込み回路により一旦メモリ6に書き込まれた後、メモリ読み出し回路によりメモリ6から読み出され、ビデオデータC1VDT2としてデータ切り替え回路に入力される。一方、CCD2に対応するビデオデータC2VDT2は、主走査方向有効画素信号HGA T2及び副走査方向有効画素信号VGA T2に同期して、ビデオデータラッチ回路からデータ切り替え回路に入力される。これは、縮小型センサにおいては、前述のように、CCD1とCCD2とが、物理的に数ライン（読み取りライン）

$+ \alpha$ (α は1ライン未満)だけ相互にズれている（副走査ギャップがある）ことによる。即ち、信号の連続性を維持するため、先に読み取られるCCD1からのデータを一旦メモリ6へ格納してタイミングを調整する。即ち、データ切り替え回路は、CCD2がその読み取りを開始する1ライン前のタイミングで、メモリ読み出し回路から格納していたCCD1の画像情報を読み出して、信号C1VDT2として取り込む。これと共に、メモリ読み出し回路は、当該信号C1VDT2が有効であることを示す信号ENB10を、データ切り替え回路に出力する。

【0030】また、データ切り替え回路は、読み取りラインの奇数ラインについて、当該読み取りラインのビデオデータC1VDT2及びC2VDT2から得た信号OC1VDT3及びOC2VDT3を、（奇数ライン用）重み付け平均回路に入力する。重み付け平均回路は、信号OC1VDT3及びOC2VDT3に基づいて（奇数ライン）出力を形成して、信号ODTとして次段回路へ出力する。これと共に、重み付け平均回路は、当該信号ODTが有効であることを示す信号OENBを、次段回路へ出力する。読み取りラインの偶数ラインについても、同様に、当該読み取りラインのビデオデータC1VDT2及びC2VDT2から得た信号EC1VDT3及びEC2VDT3が（偶数ライン用）重み付け平均回路に入力され、信号EDT及び信号OENBが出力される。

【0031】図5乃至図9は、利得調整手段41によるビデオプロセッサ3を構成するOPアンプの利得の調整について示す。

【0032】利得調整手段41は、図5に示すように、ラインセンサ2の出力を所定の利得で増幅してAD変換器に入力するOPアンプ（増幅器）の利得を調整する。このために、利得調整手段41には、タイミング生成回路からタイミング信号AGCGAT1及びAGCGAT2が入力され、各々のビデオデータラッチ回路から画素データを加算した加算値（加算結果）が入力される。信号AGCGAT1及びAGCGAT2は、各々のビデオデータラッチ回路にも入力される。タイミング生成回路の一例を図6(A)に示し、ビデオデータラッチ回路の一例を図6(B)に示す。

【0033】タイミング生成回路は、図6(A)に示すように、水平同期信号TGの周期をカウントするカウンタと、カウンタのカウント値に基づいて、加算回路を制御する制御回路とを備える。カウンタは、CCD1TG周期カウンタ及びCCD2TG周期カウンタからなる。制御回路は、加算回路のための制御信号AGCGAT1及びAGCGAT2を生成する回路からなる。即ち、各々のCCDTG周期カウンタ、AGCGATON/OF Fレジスタ、これらの出力を比較する比較器からなる。これらは、本来、タイミング生成回路を構成するが、加

算回路の制御信号 A G C G A T を生成すると言う意味で利得調整手段 4 1 の一部と考えてもよい。タイミング生成回路の構成の詳細については、図 10 乃至図 12 を参照して後述する。

【0034】ビデオデータラッチ回路は、図 6 (B) に示すように、所定のタイミング信号に応じてラインセンサ 2 の出力を加算しラインセンサ 2 の水平同期信号毎にクリアされる加算回路と、加算回路の加算値をラッチする保持回路とを備える。加算回路は、加算器と、加算データラッチ用 FF (フリップフロップ) とからなる。保持回路は加算結果ラッチ用 FF からなる。加算データラッチ用 FF には、制御信号として、前述の信号 A G C G A T 及び TG が入力される。

【0035】図 7 に示すように、画像制御部 4 は、A G C G A T O N / O F F レジスタに所望の値を設定することにより、図 7 に示す信号 A G C G A T の ON (有効) の期間を、所望の画素の位置 (処理されるタイミング) に設定する。そして、画像制御部 4 は、最初は O P アンプの利得を最小として、ラインセンサ 2 に読み取りを開始させる。

【0036】加算器は、信号 V D T 1 と信号 ADD_V D T 2 を加算して、信号 ADD_V D T 1 として出力する。信号 A G C G A T が ON するまでは、信号 ADD_V D T 2 は「0」であり、従って、ADD_V D T 1 = V D T 1 である。加算データラッチ用 FF は、信号 A G C G A T が ON すると、信号 ADD_V D T 1 をラッチし、これを信号 ADD_V D T 2 として出力する。一方、信号 A G C G A T が OFF すると、加算データラッチ用 FF は、信号 ADD_V D T 1 のラッチを停止する。この時点で、信号 ADD_V D T 2 としては、信号 A G C G A T が ON の期間中に入力された信号 V D T 1 の総和が出力される。加算結果ラッチ用 FF は、信号 TG の立ち上がりに同期して、信号 ADD_V D T 2 の値 (即ち、信号 V D T 1 の総和) をラッチし、次の信号 TG までこれを保持する。加算結果ラッチ用 FF は、信号 TG の立ち上がりで、保持していたデータをクリアする。

【0037】この保持の期間 (図中、加算結果が V 1 + 2 + 3 + ... + n の期間) に、画像制御部 4 は当該信号 V D T 1 の総和を読み出し、当該値が所定の値 (スライス値) に達していない場合、O P アンプの利得を 1 段階だけ大きくする。画像制御部 4 は、上記の領域の読み取りを待ち、その信号 V D T 1 の総和について同様に判断することを繰り返して、最適な利得を求める。

【0038】以上のようにして、利得調整手段 4 1 は、ラインセンサ 2 の出力の内で、O P アンプの利得を低い方から順に変化させながら、予め定められた領域における画素データを加算した加算値と所定のスライス値とを比較し、加算値がスライス値を超えている場合に、当該利得を O P アンプの利得として定める。利得調整手段 4

1 は、実際は、当該画像読取装置の主メモリ上に存在する当該利得調整プログラムを、当該画像読取装置の CPU 上で実行することにより実現される。

【0039】図 8 の例では、上段に示すように、信号 A G C G A T の有効期間 (即ち、イネーブル信号の H の期間、以下同じ) が、例えばラインセンサ 2 の出力の内でシェーディング波形の値が他よりも高くなる領域とされる。従って、前述の信号 V D T 1 の総和として、シェーディング波形の値が他よりも高くなる領域における画素データを加算した加算値が求まる。

【0040】例えば、CCD の有効画素数が 5000 ドットで、画素データが 8 ビットからなるとする。この場合、加算器のビット数を 16 ビットとすると、有効画素の中央近辺 (例えば 2300 ドット目) からの 255 ドットを、加算の対象とする。そして、当該加算値とスライス値 (例えば、"F 40B" / 255 = 62475 / 255、即ち、245) を比較する。O P アンプの利得の値を最小値から徐々に大きくして、当該加算値がスライス値より大きくなったら、適正な利得の値と判断する。

【0041】図 8 に示すように、シェーディング波形の値が他よりも高くなる領域を加算対象とすることにより、画素データの内の高い値を有する 255 ドットを平均し、これをスライス値と比較したに等しい。これにより、適正な利得を設定することができるので、図 8 の下段に示すような、より平坦な特性のシェーディング波形を得ることができ、また、画素データをメモリに一旦格納する必要もない。なお、この例は、図 8 から判るように、ラインセンサ 2 が複数ではなく 1 個の場合にも適用することができる。

【0042】図 9 の例では、ラインセンサ 2 が、相互の主走査線が平行となるように、かつ、主走査線において相互に一部が重なるように配置された複数のラインセンサ 2 からなる。この場合、複数のラインセンサ 2 の主走査線の一部が重なる部分において、双方のシェーディング波形が異なる場合がある。

【0043】そこで、信号 A G C G A T の有効期間が、例えば複数のラインセンサ 2 の主走査線において相互に一部が重なる部分とされる。従って、前述の信号 V D T 1 の総和として、主走査線の一部が重なる部分における画素データを加算した加算値が求まる。例えば、当該部分が CCD の有効画素数にして 64 ドットに相当するならば、当該 64 ドットを加算の対象とする。そして、同様に、当該加算値とスライス値を比較して、O P アンプの利得の値を最小値から徐々に大きくして、当該加算値がスライス値より大きくなったら、適正な利得の値と判断する。複数の CCD からの出力を加算するので、図 9 の下段に示すように、連続した特性のシェーディング波形を得ることができる。

【0044】図 10 及び図 12 は、CCD タイミング生

成回路による各種のタイミング信号の生成について示す。

【0045】水平同期信号TG及びその他の各種タイミング信号はCCDタイミング生成回路が生成する。即ち、CCDタイミング生成回路は、CCD1、CCD2に対して、別個に、水平同期信号TG、主走査方向有効画素信号HGAT、副走査方向有効画素信号VGAT、各種のクロックVCLK、信号VGAT2-1を出力する。クロックVCLKは、CCDクロック、ADクロック、内部クロックを含む。信号VGAT2-1は、CCD2の信号VGATが有効になる1ライン前であることを示すタイミング信号である。

【0046】なお、例えば、信号TG1及びTG2は、各々、CCD1及びCCD2についての信号である。他の信号についても、同様に、必要に応じて「1」又は「2」を付加して区別する。

【0047】タイミング生成回路において、CCD1 TG周期カウンタ（第1カウンタ）は、第1読取タイミング信号TG1の周期をカウントする。即ち、入力される（ビデオクロック）信号VCLKをカウントする。CCD1 TG周期カウンタのカウント値とHGAT1ON/OFFレジスタの値（所定の第1の値）とが比較され、先に読み取りを開始するラインセンサCCD1の出力の主走査方向有効期間を制御する第1主走査方向有効画素信号HGAT1が生成される。即ち、当該カウント値が当該レジスタの格納するONの値と等しくなると信号HGAT1は有効とされ、当該レジスタの格納するOFFの値と等しくなると信号HGAT1は無効とされる。

【0048】CCD2 TG周期カウンタ（第2カウンタ）は、第2読取タイミング信号TG2の周期をカウントする。即ち、入力される信号VCLKをカウントする。CCD2 TG周期カウンタのカウント値とHGAT2ON/OFFレジスタの値（所定の第2の値）とが比較され、同様にして、後に読み取りを開始するラインセンサCCD2の出力の主走査方向有効期間を制御する第2主走査方向有効画素信号HGAT2が生成される。

【0049】CCD1 TG周期カウンタのカウント値とCCD1 TG周期レジスタの値とが比較され、両者が等しくなると、リセット信号が出力され、当該カウント値がクリアされ、再度、カウントを繰り返す。CCD1 TG周期カウンタは、当該カウント値が「0」の場合のみ、信号TG1を出力する。これにより、信号TG1は、CCD1 TG周期レジスタに設定された一定周期毎に、出力される。

【0050】CCD1 TG周期カウンタのカウント値とTGズレレジスタの値（所定の第3の値）とが比較され、両者が等しくなると、リセット信号が出力され、CCD2 TG周期カウンタのカウント値をクリアする。即ち、CCD1とCCD2との間の1ラインに満たない副走査線方向のズレ（+αの部分）を補正するために、C

CD2用のカウント値は、CCD1用のカウント値がTGズレレジスタの値と等しくなると、クリアされる。CCD2 TG周期カウンタは、当該カウント値が「0」の場合のみ、信号TG2を出力する。これにより、信号TG2は、CCD2 TG周期レジスタに設定された一定周期（CCD1の周期と等しい）毎に、信号TG1からTGズレレジスタの値（即ち、+αの部分）だけ遅れたタイミングで出力される。これにより、当該+αの部分のズレが修正される。

【0051】先に読み取りを開始するラインセンサCCD1の出力の副走査方向有効期間を制御する第1副走査方向有効画素信号VGAT1が、その直後の第1読取タイミング信号TG1に同期して生成される。即ち、画像制御部4がVGAT1レジスタに「1」を設定すると、その直後の第1読取タイミング信号TG1に同期して、信号VGAT1が有効とされる。「0」が設定されると、その直後に第1読取タイミング信号TG1があっても信号VGAT1は無効である。

【0052】後に読み取りを開始するラインセンサCCD2の出力の副走査方向有効期間を制御する第2副走査方向有効画素信号VGAT2が、その直後の第1読取タイミング信号TG1に同期してラッチされ、その後の第2読取タイミング信号TG2に同期して生成される。即ち、前述と同様に、画像制御部4がVGAT1レジスタに「1」又は「0」を設定することにより、有効又は無効とされる。信号VGAT2-2についても同様である。なお、ビデオデータの読み取りは、信号HGAT及び信号VGATが共に有効である場合に行われる。

【0053】以上の構成により、タイミング生成回路は、複数のラインセンサ2の内の相互に隣接するラインセンサ2において、平行である相互の主走査線の間の距離を、読み取りラインの間隔のN（Nは整数）倍に相当する第1部分（Nライン分のズレの部分）と、残余の第2部分（1ラインに満たない部分、即ち、+αの部分）とに分けて、タイミングを調整する。即ち、図12に示すように、先に読み取りを開始するラインセンサCCD1に供給する第1読取タイミング信号TG1を基準として、後に読み取りを開始するラインセンサCCD2に、第1読取タイミング信号TG1から第2部分に相当する時間（+αの部分）だけ遅れた第2読取タイミング信号TG2を供給する。更に、信号TG1を基準として、CCD2に、第1読取タイミング信号TG1からN個（Nライン）だけ遅らせて読み取りを開始させる。また、データ切り替え回路に、先に読み取ってメモリ6に格納（後述する）したCCD1の読み取り信号を、（N-1）ラインだけ遅らせて読み出させる。

【0054】図11及び図12は、データ切り替え回路によるデータの切り換えについて示す。

【0055】データ切り替え回路は、メモリ6に格納された先に読み取りを開始するラインセンサ2の画像情報

を、後に読み取りを開始するラインセンサCCD2が読み取を開始するより1個だけ早い((N-1)個めの)第2読み取りタイミング信号TG2に同期してメモリ6から読み出して、所定の処理により連続した1個の読み取りラインに相当する画像情報を得る。メモリ6は、先に読み取りを開始するラインセンサCCD1の出力する画像情報を格納する。

【0056】最初に、CCD1がその読み取を開始する。この時、未だ、CCD2はその読み取を開始していない。この期間中、当該読み取った画像情報はメモリ6に一旦格納されるのみである。この間、データ切り替え回路には、画像情報の入力はなく、また、その出力もない。

【0057】次に、副走査方向にキャリアユニットが移動して、CCD2がその読み取を開始する1ライン前の処理に進む。

【0058】まず、データ切り替え回路は、信号VGA T2-1に基づいて、CCD2がその読み取を開始する1ライン前のタイミングであることを知り、信号H G A T2の立ち上がりに同期して、メモリ読み出し回路に読み出し要求信号R E A Dを送出する(有効とする、以下同じ)。メモリ読み出し回路は、信号R E A Dの有効を検出すると、図12に示すように、メモリ6に格納していた画像情報を読み出して、信号C1 VDT2としてデータ切り替え回路に出力する。これと共に、メモリ読み出し回路は、当該信号C1 VDT2が有効であることを示す信号E N B 1 Oを、データ切り替え回路に出力する。信号E N B 1 Oが有効である場合、データ切り替え回路は、信号C1 VDT2をラッチし、切り替え回路を介して、信号O C1 VDT3を出力し、当該データの有効を示す信号O C1 E N Bを有効とする。

【0059】一方、データ切り替え回路は、信号C1 VDT2をラッチした回数をカウントする。そして、CCD1主走査有効画素数レジスタの値(例えば、W1)からオーバーラップレジスタに格納した値(例えば、63)を引いた値を求め、この値まで前記ラッチ回数をカウントすると、リセット信号を出力して、信号R E A Dを無効とする(出力を停止する、以下同じ)。メモリ読み出し回路は、信号R E A Dの無効を検出すると、画像情報の読み出しを停止し、信号C1 VDT2及び信号E N B 1 Oを無効とする。この信号C1 VDT2及び信号E N B 1 Oの無効に応じて、データ切り替え回路は、信号C1 VDT2のラッチを停止し、当該回数のカウントを停止し、待ち状態となる。

【0060】次に、更に、副走査方向にキャリアユニットが移動して、CCD2がその読み取を開始する。この時、図12に示すように、CCD1は、Nライン目の読み取を開始している。即ち、前述の+ α の部分だけ遅れている。

【0061】まず、CCD2の読み取開始に応じて、信号E N B 2 Oが有効となる。これに応じて、データ切り替え回路は、信号C2 VDT2をラッチし、切り替え回路を介して、信号E C2 VDT3を出力し、当該データの有効を示す信号E C2 E N Bを有効とする。これと同時に、データ切り替え回路は、信号H G A T2の立ち上がりに同期して、再度、読み出し要求信号R E A Dを有効として、信号C1 VDT2をラッチし、当該ラッチした回数をカウントする。同様に、信号C2 VDT2についても、ラッチ回数がカウントされる。

え回路は、信号C2 VDT2をラッチし、切り替え回路を介して、信号O C2 VDT3を出力し、当該データの有効を示す信号O C2 E N Bを有効とする。これと同時に、データ切り替え回路は、信号H G A T2の立ち上がりに同期して、再度、読み出し要求信号R E A Dを有効として、信号C1 VDT2をラッチし、当該ラッチした回数をカウントする。同様に、信号C2 VDT2についても、ラッチ回数がカウントされる。

【0062】一方、データ切り替え回路は、信号C1 VDT2をラッチした回数をカウントする。そして、この値と、CCD1主走査有効画素数レジスタの値(例えば、W1)とが等しくなると、リセット信号を出力して、当該カウント値をクリアし、切り替え回路を介して、信号E C1 VDT3を出力し、当該データの有効を示す信号E C1 E N Bを有効とする。更に、データ切り替え回路は、信号C1 VDT2のラッチを継続し、前記値W1からオーバーラップレジスタに格納した値を引いた値まで当該ラッチ回数をカウントすると、リセット信号を出力して、信号R E A Dを無効とする。メモリ読み出し回路は、信号R E A Dの無効を検出すると、画像情報の読み出しを停止し、信号C1 VDT2及び信号E N B 1 Oを無効とする。この信号C1 VDT2及び信号E N B 1 Oの無効に応じて、データ切り替え回路は、信号C1 VDT2のラッチを停止し、当該回数のカウントを停止し、待ち状態となる。

【0063】この後、データ切り替え回路は、信号C2 VDT2のラッチのカウント値と、CCD2主走査有効画素数レジスタの値(例えば、W2)とが等しくなったら、当該カウント値をクリアし、切り替え回路を介して、信号E C2 VDT3及び当該データの有効を示す信号E C2 E N Bを有効とするようになる。しかし、この時、CCD2の1ライン目の全画像情報の出力が終了している。従って、データ切り替え回路は、信号E C2 VDT3及び信号E C2 E N Bの出力を待つ状態となる。

【0064】次に、更に、副走査方向にキャリアユニットが移動して、CCD2がその2ライン目の読み取を開始する。この時、図12に示すように、CCD1は、N+1ライン目の読み取を開始している(+ α の部分だけ遅れている)。

【0065】まず、CCD2の2ライン目の読み取開始に応じて、信号E N B 2 Oが有効となる。これに応じて、データ切り替え回路は、信号C2 VDT2をラッチし、切り替え回路を介して、信号E C2 VDT3を出力し、当該データの有効を示す信号E C2 E N Bを有効とする。これと同時に、データ切り替え回路は、信号H G A T2の立ち上がりに同期して、再度、読み出し要求信号R E A Dを有効として、信号C1 VDT2をラッチし、当該ラッチした回数をカウントする。同様に、信号C2 VDT2についても、ラッチ回数がカウントされる。

【0066】一方、データ切り替え回路は、信号C1 V

D T 2 をラッチした回数をカウントし、この値と C C D 1 主走査有効画素数レジスタの値（例えば、W 1）とが等しくなると、当該カウント値をクリアし、切り替え回路を介して、信号 O C 1 V D T 3 を出力し、当該データの有効を示す信号 O C 1 E N B を有効とする。更に、データ切り替え回路は、信号 C 1 V D T 2 のラッチを継続し、前記値 W 1 からオーバーラップレジスタに格納した値を引いた値まで当該ラッチ回数をカウントすると、信号 R E A D を無効とする。メモリ読み出し回路は、信号 R E A D の無効を検出すると、画像情報の読み出しを停止し、信号 C 1 V D T 2 及び信号 E N B 1 0 を無効とする。この信号 C 1 V D T 2 及び信号 E N B 1 0 の無効に応じて、データ切り替え回路は、信号 C 1 V D T 2 のラッチを停止し、当該回数のカウントを停止し、待ち状態となる。

【0067】この後、データ切り替え回路は、信号 C 2 V D T 2 のラッチのカウント値と、前記値 W 2 とが等しくなったら、当該カウント値をクリアし、切り替え回路を介して、信号 O C 2 V D T 3 及び当該データの有効を示す信号 O C 2 E N B を有効とするようにする。しかし、この時、C C D 2 の 2 ライン目の全画像情報の出力が終了している。従って、データ切り替え回路は、信号 E C 2 V D T 3 及び信号 E C 2 E N B の出力を待つ状態となる。

【0068】以後、前述の C C D 2 がその読み取りを開始して、これに応じて信号 E N B 2 0 が有効となる時点からを、繰り返す。

【0069】以上により、データ切り替え回路は、読み取りラインの奇数ラインについて、当該読み取りラインのビデオデータ C 1 V D T 2 及び C 2 V D T 2 から得た信号 O C 1 V D T 3 及び O C 2 V D T 3 を、（奇数ライン用）重み付け平均回路に入力する。重み付け平均回路は、信号 O C 1 V D T 3 及び O C 2 V D T 3 に基づいて（奇数ライン）出力を形成して、信号 O D T として次段回路へ出力する。これと共に、重み付け平均回路は、当該信号 O D T が有効であることを示す信号 O E N B を、次段回路へ出力する。読み取りラインの偶数ラインについても、同様に、当該読み取りラインのビデオデータ C 1 V D T 2 及び C 2 V D T 2 から得た信号 E C 1 V D T 3 及び E C 2 V D T 3 が（偶数ライン用）重み付け平均回路に入力され、信号 E D T 及び信号 O E N B が output される。

【0070】図 1 3 及び図 1 4 は、重み付け平均回路によるラインセンサ 2 の出力の加重平均処理について示す。

【0071】重み付け平均回路は加重平均処理部を構成する。加重平均処理部は、当該画像読み取り装置の主メモリ上に存在する当該加重平均処理プログラムを、当該画像読み取り装置の C P U 上で実行することにより実現されてもよい。重み付け平均回路は、複数のラインセンサ 2 の内

の相互に隣接するラインセンサ 2 間において、主走査線において相互に一部が重なる部分についての当該隣接するラインセンサ 2 の出力を、相互の主走査線の重なる距離に基づいて加重平均する。即ち、重み付け平均回路は、信号（O 及び E）C 1 V D T 3 及び C 2 V D T 3 から、図 1 3 に示すように、ハードウェアによって所定の演算を行い、信号（O 及び E）D T を得る。この演算は、図 8 から判るように、重み付け演算である。

【0072】この演算において、重み付けの係数 K 1 の値は、例えば「64」とされる。即ち、相互に隣接するラインセンサ 2 間において、相互の主走査線の重なる距離が、64 個の画素に相当する距離である。画像の読み取りに先立って、この値がオーバーラップレジスタに格納される。この値は、例えば、画像の読み取りに先立つキャリブレーションにより、又は、外部からの入力により、画像制御部 4 からオーバーラップレジスタに与えられる。

【0073】相互の主走査線の重なる距離であるオーバーラップレジスタの値からオーバーラップカウンタによる求まる値 K 2 を減算して、係数 K 1 を求める。オーバーラップカウンタは、C C D 1 側及び C C D 2 側の水平方向のクロックである V C L K が output される数をカウントする。即ち、C C D 1 及び C C D 2 が共に読み取りを行っている期間において、そのクロック数（従って、画素数）をカウントする。具体的には、オーバーラップカウンタは、信号 O C 1 E N B 及び O C 2 E N B が共に H（ハイレベル）の場合に、カウントを開始する。このカウント値が係数 K 2 となる。オーバーラップカウンタは、信号 O C 1 E N B 及び O C 2 E N B が共に H でない場合に、クリアされる（0 とされる）。

【0074】以上から、重み付け平均回路は、加重平均における係数を、当該隣接するラインセンサ 2 の主走査線において相互に一部が重なる部分の画素の数及び位置により変化させる。従って、（（オーバーラップレジスタの値） - K 2）の値が大きければ C C D 1 側の信号 C 1 V D T 3 の重みが増しつつ C C D 2 側の信号 C 2 V D T 3 の重みが減り、小さければこの逆になる。

【0075】セレクタは、選択信号 S E L 1 及び S E L 2 の値に応じて、その入力 A、B 及び C のいずれかを出力 D T （又は O）として出力する。即ち、S E L 1 = H かつ S E L 2 = L の場合、入力 A を出力する。これは C C D 1 の出力である。S E L 1 = L かつ S E L 2 = H の場合、入力 B を出力する。これは C C D 2 の出力である。S E L 1 = H かつ S E L 2 = H の場合、入力 C を出力する。これは C C D 1 及び C C D 2 の出力の加重平均である。S E L 1 = L かつ S E L 2 = H の場合、出力はハイインピーダンスの状態となる。従って、図 1 4 に示すように、最初に C C D 1 の出力 O C 1 V D T 3 が output され、その後、前記加重平均の値が output され、これに連続して C C D 2 の出力 O C 2 V D T 3 が output される。

【0076】

【発明の効果】以上説明したように、本発明によれば、画像読取装置において、複数のラインセンサを主走査線において相互に一部が重なるように配置した場合、隣接するラインセンサの出力を相互の主走査線の重なる距離に基づいて加重平均することにより、複数のラインセンサから読み取った画像情報に基づいて主走査線方向の一バーラップ域についてその距離の値に従って画像情報の補正処理を行うことができるので、複数のラインセンサで読み取った画像情報から、両者のつなぎ目の部分が滑らかな画像を得ることができる。

【0077】また、本発明によれば、画像読取装置において、タイミング生成回路を備えることにより、複数のラインセンサについてのタイミングを調整することができる、複数のラインセンサから読み取った画像情報に基づいて副走査線方向のギャップについて、その距離の値に基づいて、画像情報の補正処理を行うことができる。従って、複数のラインセンサで読み取った画像情報から、両者のつなぎ目の部分が滑らかな画像を得ることができるので、複数のラインセンサから読み取った画像情報を用いて、主走査線方向のオーバーラップ域についてその距離の値に従って画像情報の補正処理を行うことができる。

【0078】また、本発明によれば、画像読取装置において、OPアンプの利得の決定にラインセンサの出力の内で所定の領域、例えばシェーディング波形の値が他よりも高くなる領域における画素データを加算した加算値を用いることにより、ノイズの影響をなくすことができ、平均値との乖離の影響もなくすことができるので、シェーディング波形が山型であっても適正な利得の値を定めることができる。

【0079】また、本発明の一実施態様によれば、画像読取装置において、上述の利得調整を行う際に、複数の

ラインセンサのつなぎ目部分について、当該領域における画素データを加算した加算値を用いることにより、つなぎ目部分で濃度差が生じることを防止し、2個のシェーディング波形を滑らかなものとすることができますので、画像の連続性を保つことができる。

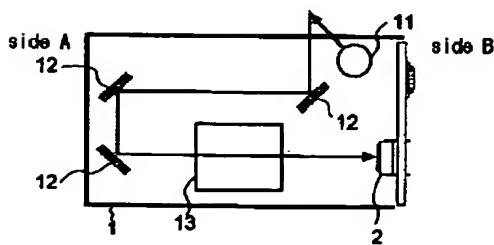
【図面の簡単な説明】

- 【図1】画像読取装置構成図である。
- 【図2】画像読取装置構成図である。
- 【図3】画像読取装置構成図である。
- 【図4】画像読取装置構成図である。
- 【図5】画像読取装置構成図である。
- 【図6】画像読取装置構成図である。
- 【図7】画像読取装置構成図である。
- 【図8】画像読取装置構成図である。
- 【図9】画像読取装置構成図である。
- 【図10】画像読取装置構成図である。
- 【図11】画像読取装置構成図である。
- 【図12】画像読取装置構成図である。
- 【図13】画像読取装置構成図である。
- 【図14】画像読取装置構成図である。
- 【図15】従来技術説明図である。
- 【図16】従来技術説明図である。
- 【図17】従来技術説明図である。

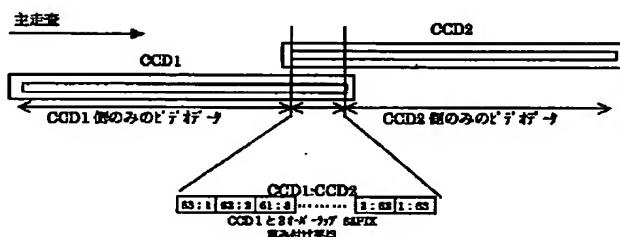
【符号の説明】

- | | |
|---|----------|
| 2 | ラインセンサ |
| 3 | ビデオプロセッサ |
| 4 | 画像制御部 |
| 5 | 画像処理部 |
| 6 | メモリ |

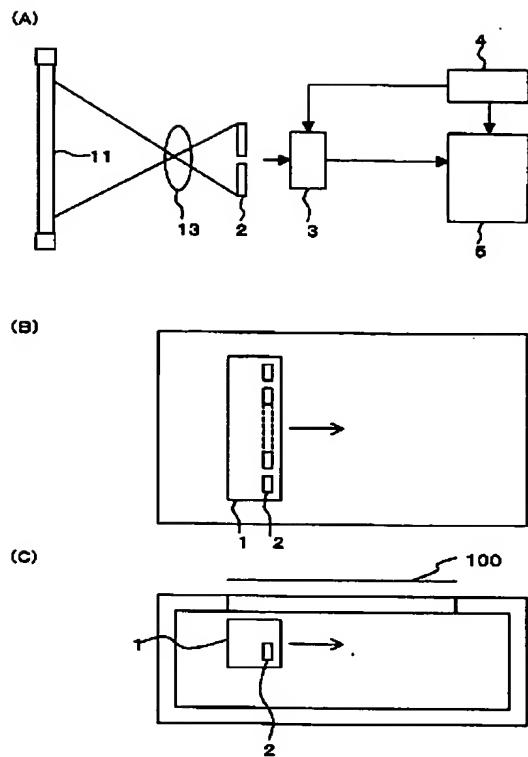
【図2】



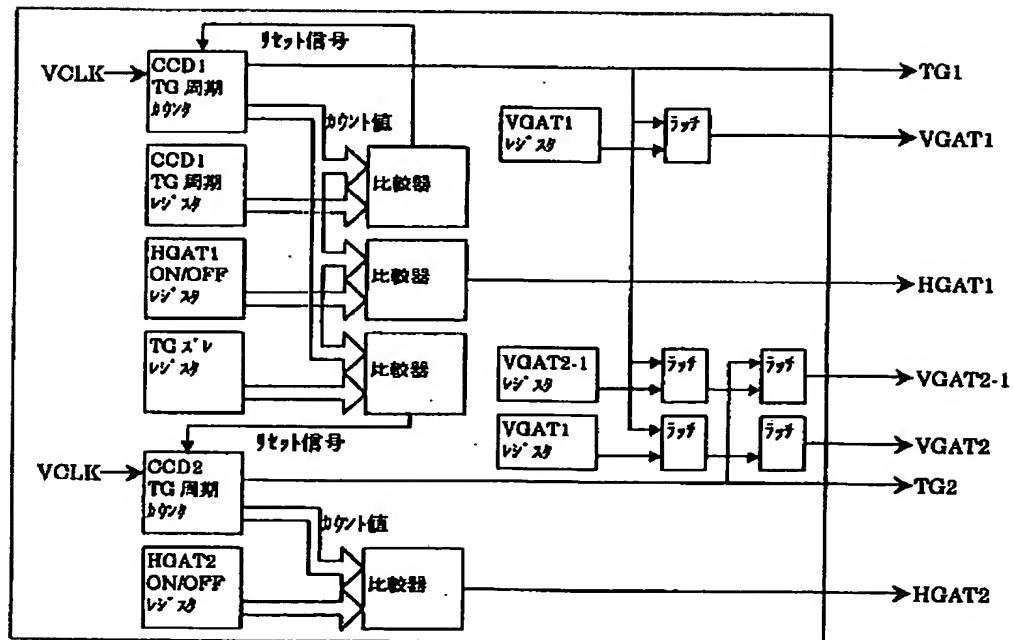
【図3】



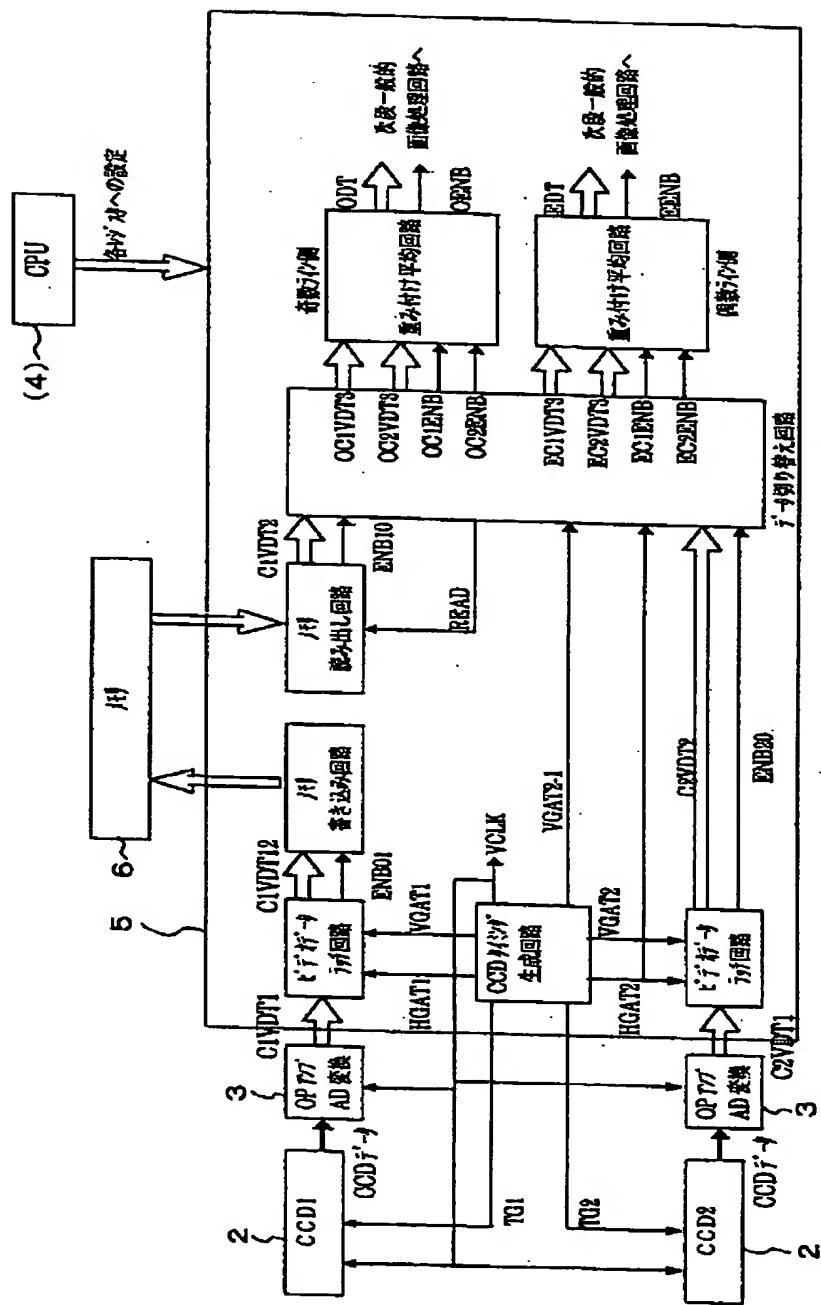
【図1】



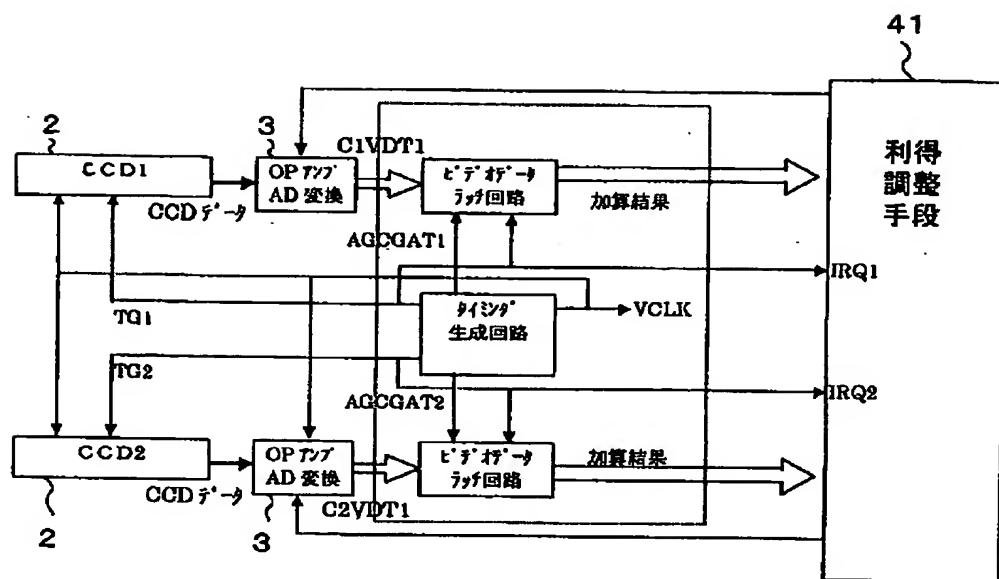
【図10】



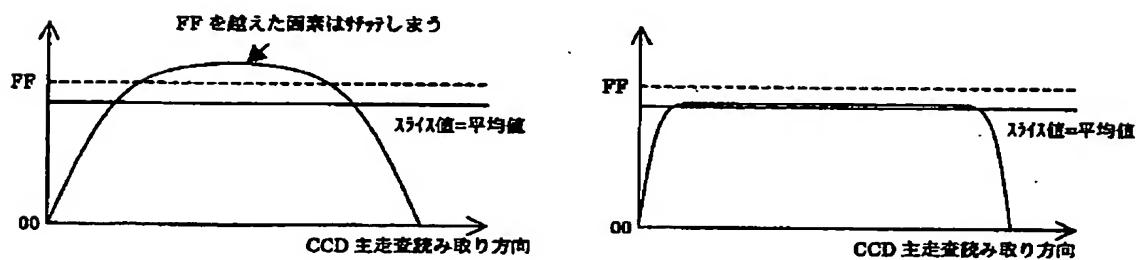
【図4】



【図5】

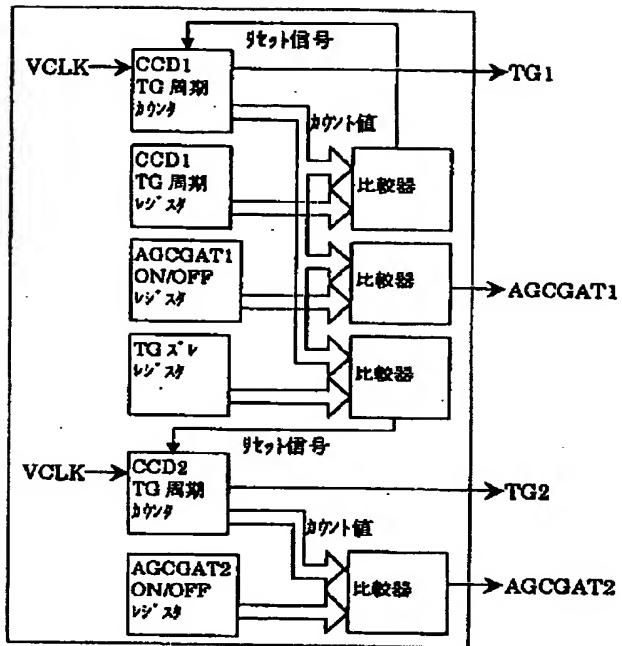


【図17】

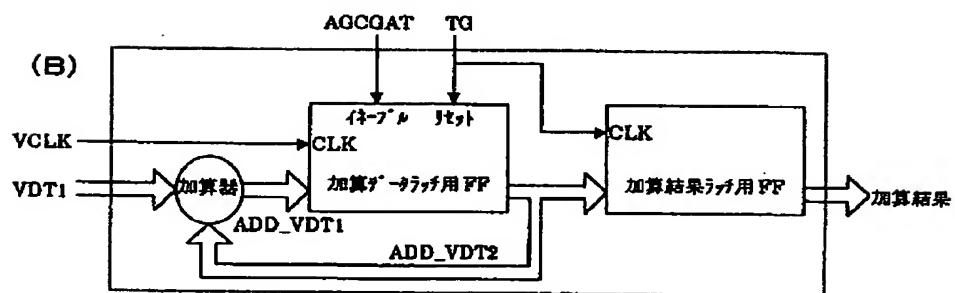


【図6】

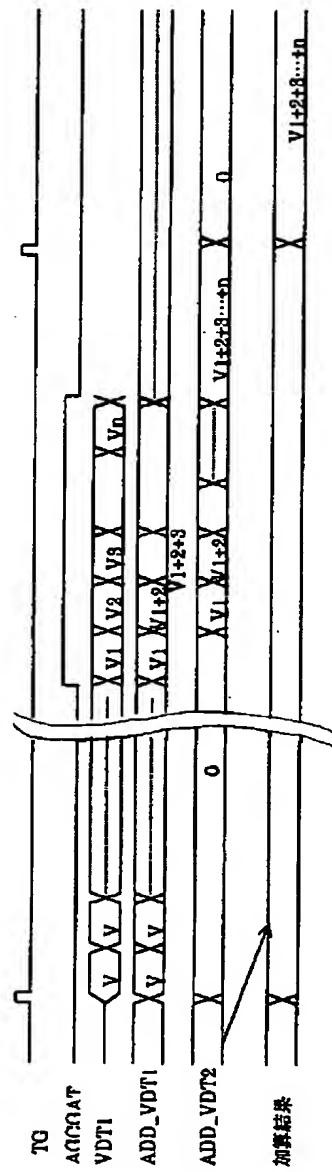
(A)



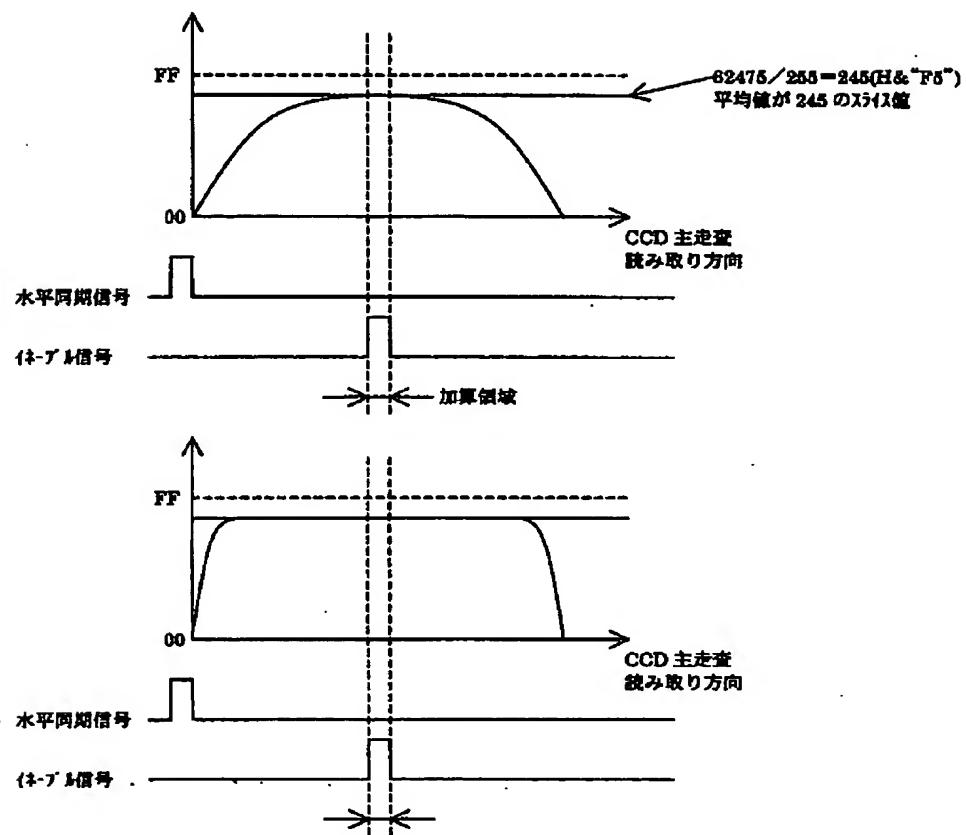
(B)



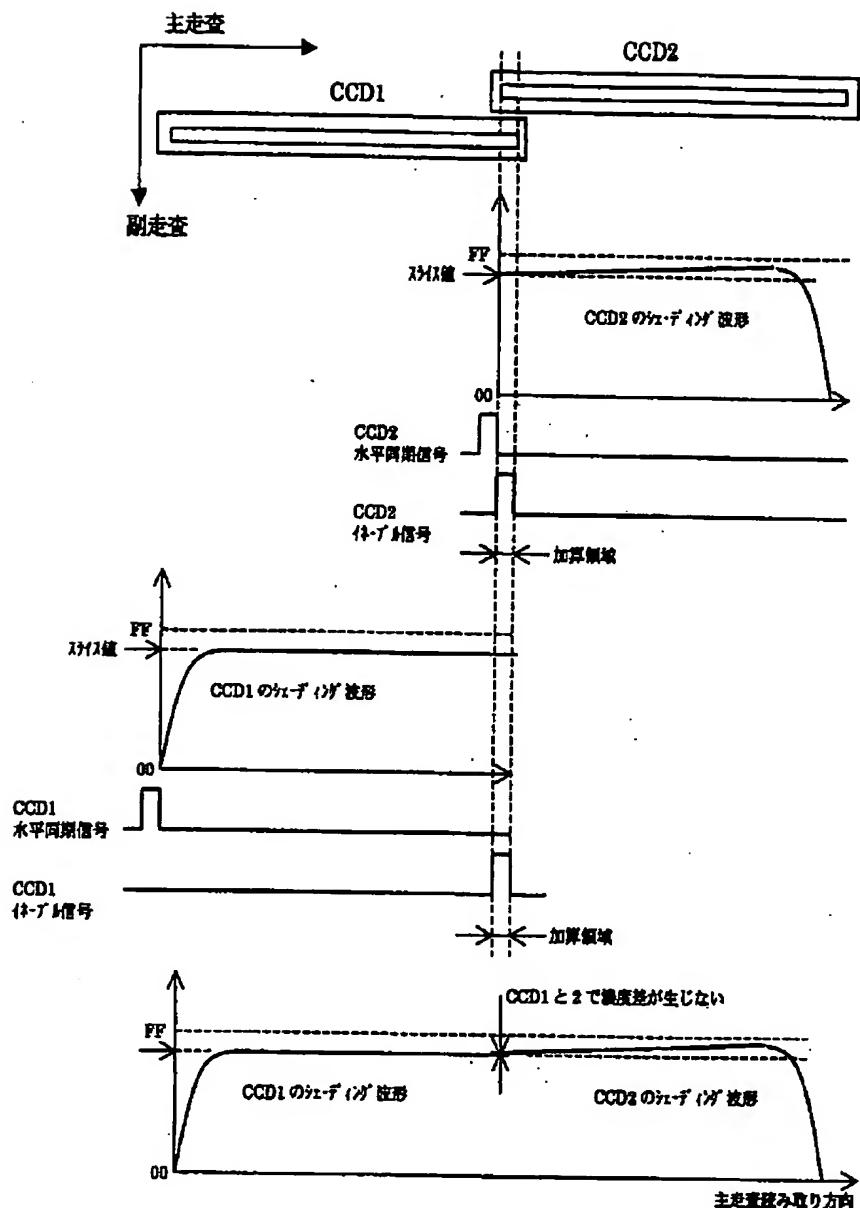
【図7】



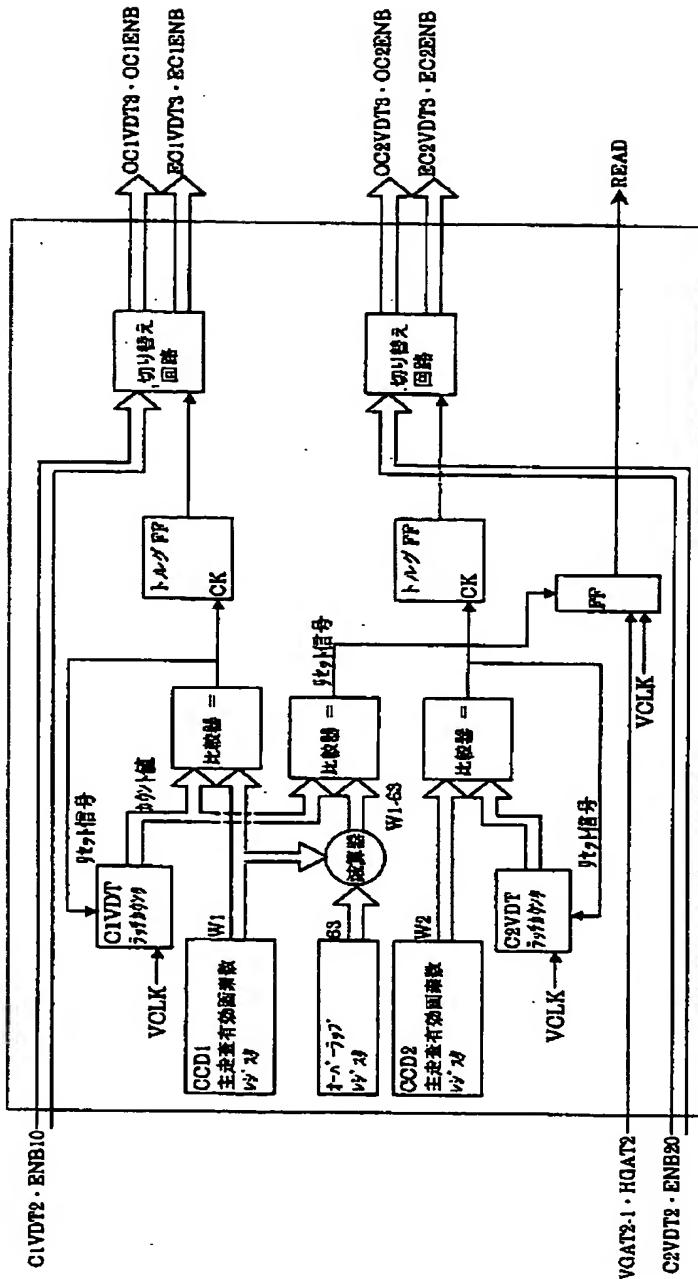
【図8】



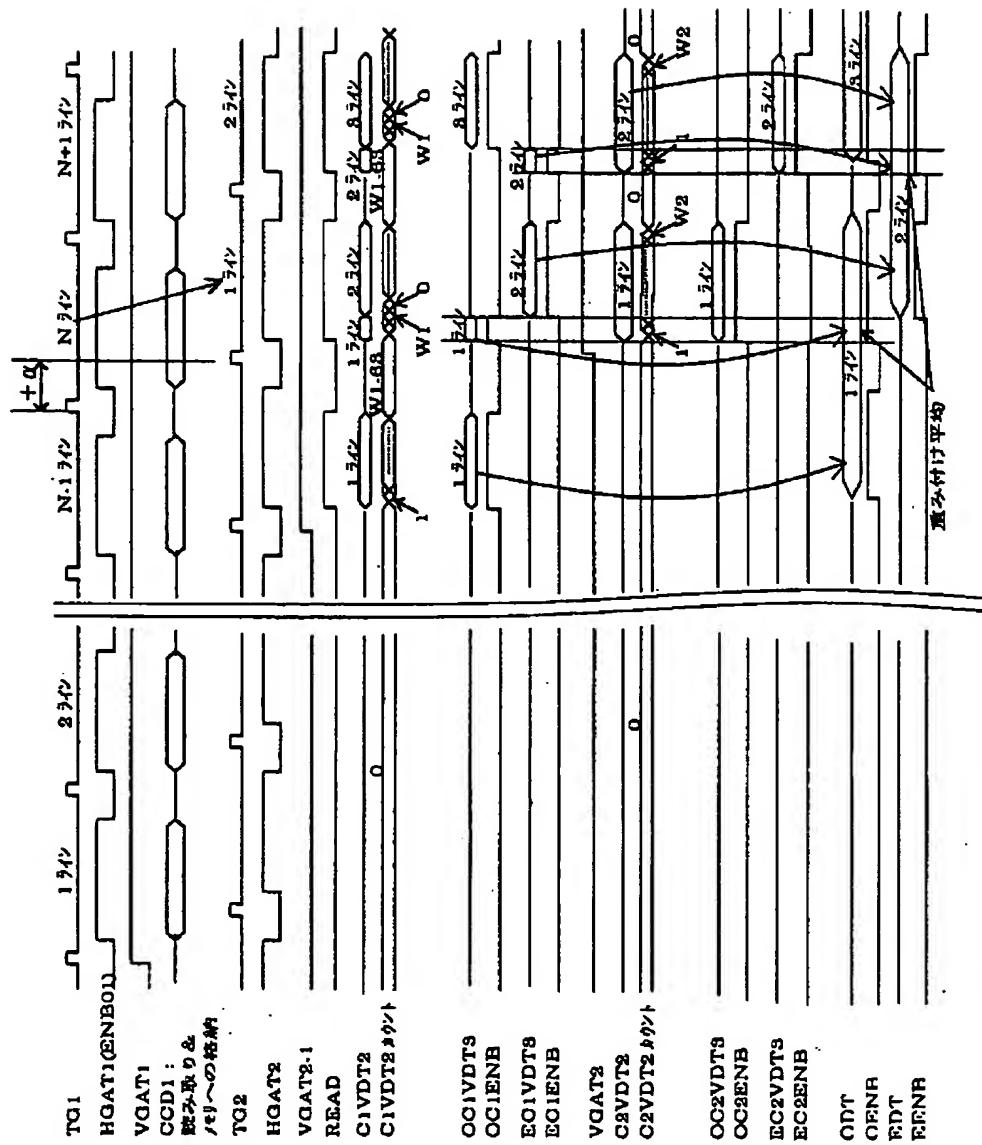
【図9】



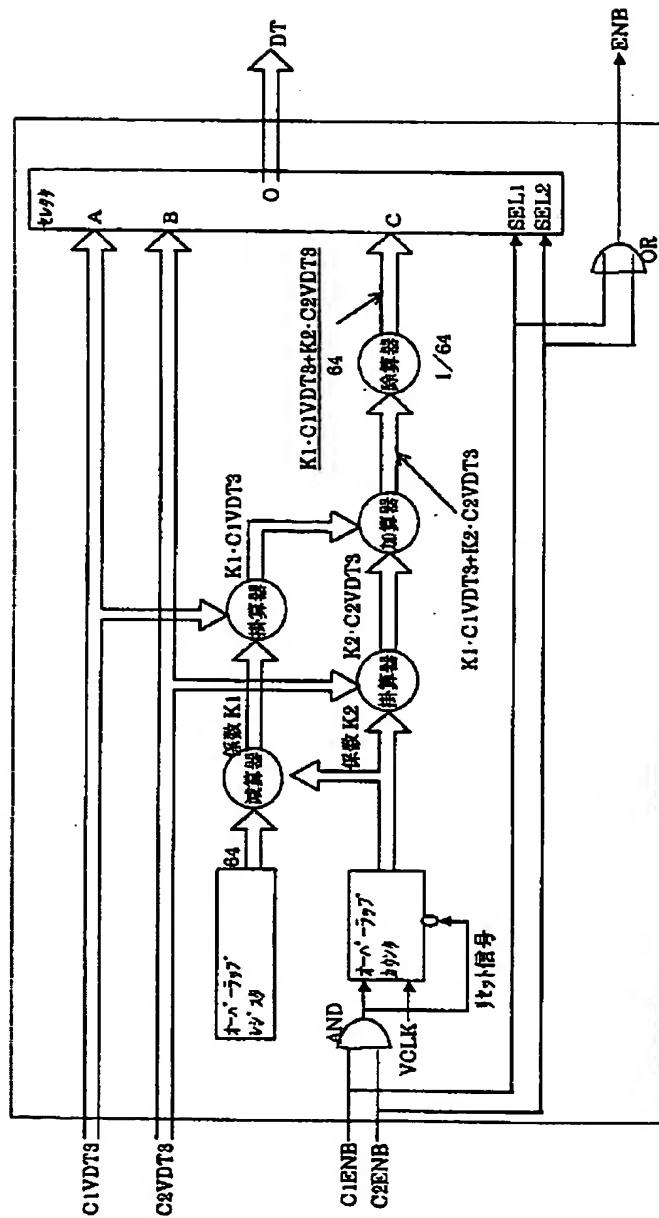
【図11】



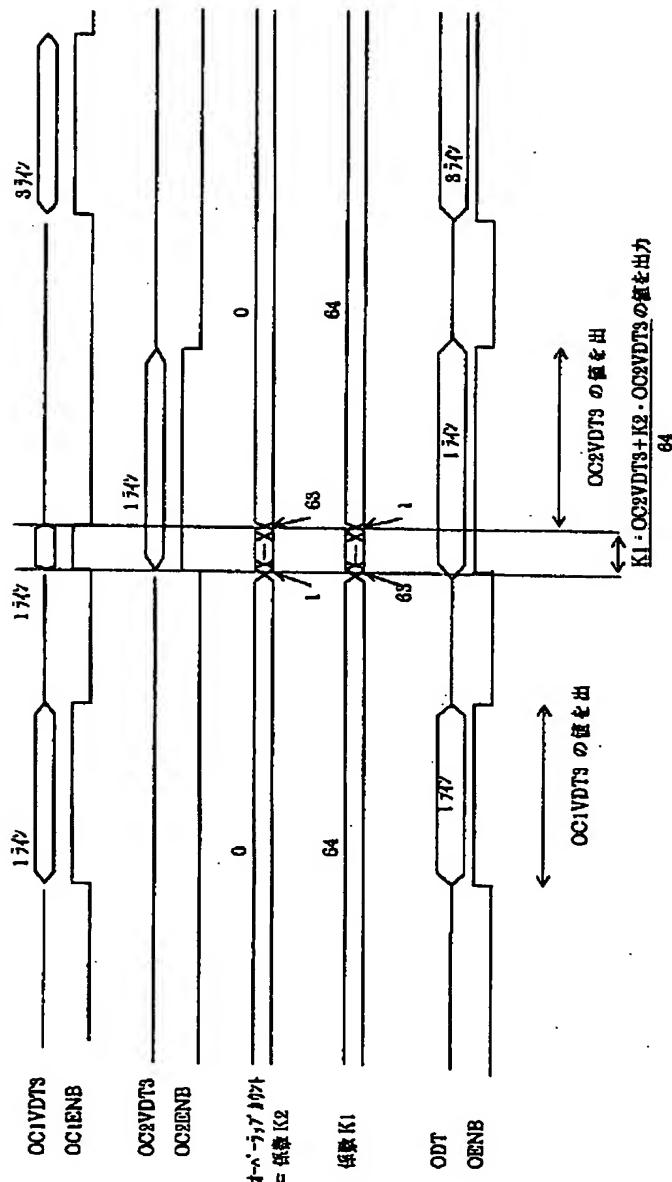
【図12】



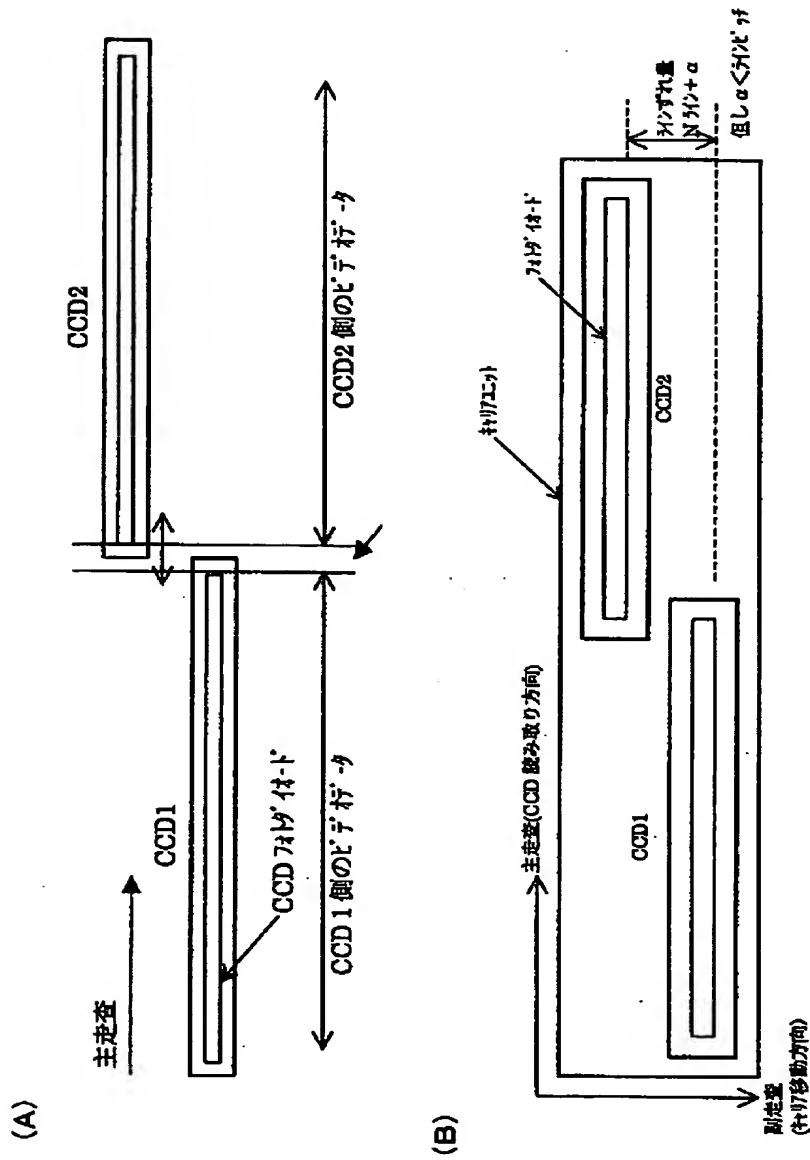
【図13】



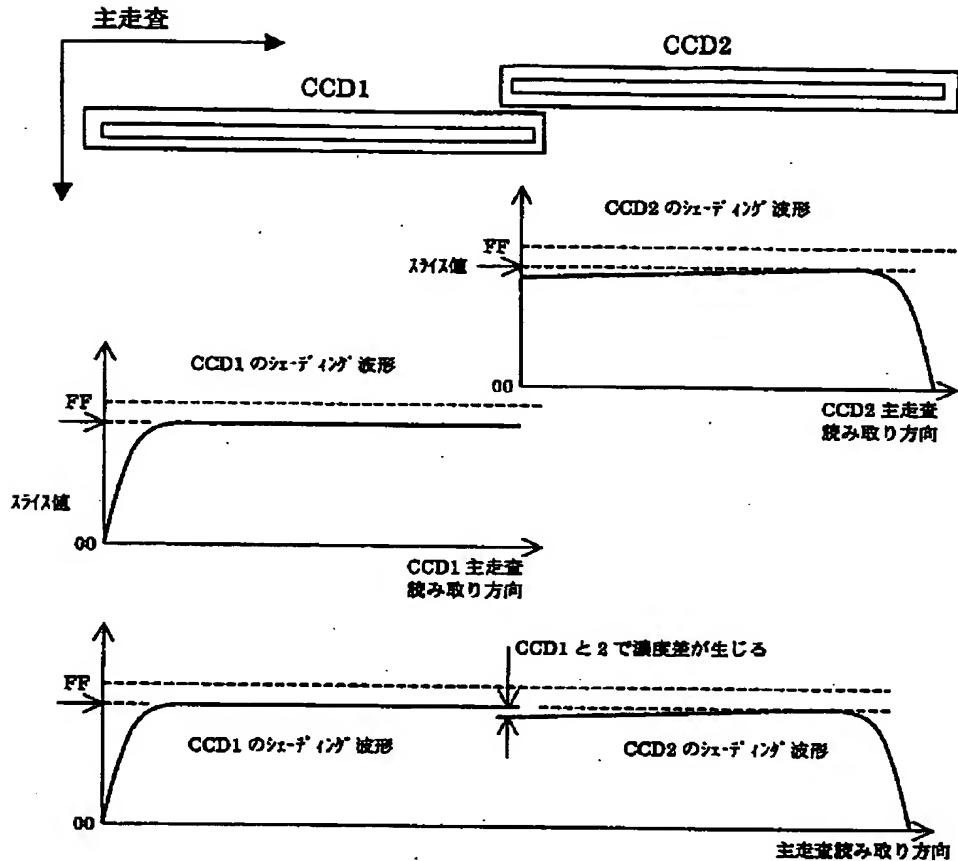
【図14】



【図15】



【図16】



フロントページの続き

F ターム(参考) 5C051 AA01 BA03 DA04 DB01 DB04
 DC02 DE07 DE11 DE17
 5C072 AA01 BA02 BA04 EA05 FA06
 FB02 FB03 FB15